

Family list

5 application(s) for: JP4003468

1 Semiconductor device with MOS-transistors and method of manufacturing the same.

Inventor: SAWADA SHIZUO [JP]; IWASAKI SEIKO [JP] Applicant: TOSHIBA KAWASAKI KK [JP]
EC: H01L21/266; H01L21/336H1; (+3) IPC: H01L29/78; H01L21/22; H01L21/266; (+13)
Publication Info: DE69113673 (T2) — 1996-04-18

2 Semiconductor device with MOS-transistors and method of manufacturing the same.

Inventor: SAWADA SHIZUO C O INTELLECTUAL [JP]; IWASAKI SEIKO C O INTELLECTUAL [JP] Applicant: TOKYO SHIBAURA ELECTRIC CO
EC: H01L21/266; H01L21/336H1; (+3) IPC: H01L29/78; H01L21/22; H01L21/266; (+13)
Publication Info: EP0452817 (A1) — 1991-10-23
EP0452817 (B1) — 1995-10-11

3 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Inventor: SAWADA SHIZUO ; IWASAKI KIYOKO Applicant: TOKYO SHIBAURA ELECTRIC CO
EC: H01L21/266; H01L21/336H1; (+3) IPC: H01L29/78; H01L21/22; H01L21/266; (+13)
Publication Info: JP4003468 (A) — 1992-01-08
JP2809810 (B2) — 1998-10-15

4 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Inventor: SAWADA SHIZUO [JP]; IWASAKI SEIKO [JP] Applicant: TOSHIBA CO LTD [JP]
EC: H01L21/266; H01L21/336H1; (+3) IPC: H01L29/78; H01L21/22; H01L21/266; (+12)
Publication Info: KR940008357 (B1) — 1994-09-12

5 MOS device having a well layer for controlling threshold voltage

Inventor: SAWADA SHIZUO [JP]; IWASAKI SEIKO [JP] Applicant: TOKYO SHIBAURA ELECTRIC CO
EC: H01L21/266; H01L21/336H1; (+3) IPC: H01L21/266; H01L21/336; H01L21/8234;
(+5)
Publication Info: US5210437 (A) — 1993-05-11

Data supplied from the esp@cenet database —

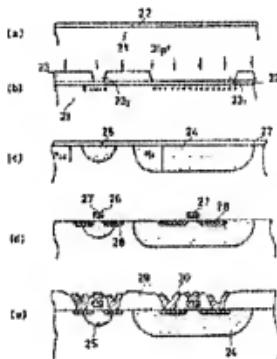
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number:	JP4003468 (A)	Also published as:
Publication date:	1992-01-08	<input type="checkbox"/> JP2809810 (B2)
Inventor(s):	SAWADA SHIZUO; IWASAKI KIYOKO	<input checked="" type="checkbox"/> EP0452817 (A1)
Applicant(s):	TOKYO SHIBAURA ELECTRIC CO	<input type="checkbox"/> KR940008357 (B1)
Classification:		<input type="checkbox"/> DE69113673 (T2)
- International:	<i>H01L29/78; H01L21/22; H01L21/266; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/10; H01L29/66; H01L21/02; H01L21/70; H01L27/06; H01L27/085; H01L29/02; (IPC1-7): H01L29/784; H01L27/088</i>	
- European:	<i>H01L21/266; H01L21/336H1; H01L21/8234G6; H01L29/10D2B2; H01L29/10D2B2B</i>	
Application number:	JP19900104580 19900420	
Priority number(s):	JP19900104580 19900420	

Abstract of JP 4003468 (A)

PURPOSE: To form MOS transistors having different threshold values in the same process in response to types by providing wells formed in semiconductor with a mask pattern width implanted with an impurity of twice or less as deep as the diffusing depth of the well, and a gate electrode so formed that the wall region is used as the channel region of the transistor.

CONSTITUTION: A first thermal oxide film 22 is formed on a P-type substrate 21, and resist 23 of masks each having a resist pattern of different opening widths are formed on a region formed with a depletion type transistor. After phosphorus ions are then implanted in the substrate, it is heat treated to diffuse the phosphorus. Thereafter, after the film 22 is removed by etching, a gate insulating film 26 is grown, the gate electrodes 27 of the transistors are formed at positions corresponding to resist patterns 231, 232, and thus source, drain diffused layers 28 are formed. Then, Al wirings 30 are formed on an insulating film 29 formed on the substrate, thereby forming MOS transistors. A well 25 is formed in a resist pattern width 232 of twice or less as deep as the diffusion depth $x12$ in a semicircular shape in section to be adapted for a threshold value control.



Data supplied from the esp@cenet database — Worldwide

公開特許公報(A) 平4-3468

@Int.Cl.³H 01 L 29/784
27/088

識別記号

府内整理番号

@公開 平成4年(1992)1月8日

8422-4M H 01 L 29/78 301 C

7735-4M 27/08 102 C

審査請求 未請求 請求項の数 9 (全4頁)

発明の名称 半導体装置及びその製造方法

@特願 平2-104580

@出願 平2(1990)4月20日

@発明者 潤田 静雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

@発明者 岩崎 圭子 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

@出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地
④代理人 弁理士 鈴江 武彦 外3名

明細書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) MOSトランジスタのチャネル領域付近に、開路電圧調整用の断面半円状のウェル層が形成されたことを特徴とする半導体装置。

(2) 前記ウエル層は、前記MOSトランジスタのソース、ドレイン層と同一電位であることを特徴とする請求項1に記載の半導体装置。

(3) 前記ウエル層は、前記MOSトランジスタのソース、ドレイン層と逆電位であることを特徴とする請求項1に記載の半導体装置。

(4) マスクパターン幅がウエル層の拡散率の2倍以下となるようなマスクにより、半導体基板のMOSトランジスタのチャネル層となる付近に不純物を導入して前記ウエル層を形成することを特徴とする半導体装置の製造方法。

(5) マスクパターン幅がウエル層の拡散率の2倍以下となるようなマスクにより、半導体基

板のMOSトランジスタのチャネル層となる付近に不純物を導入して前記ウエル層を形成してなり、前記MOSトランジスタのゲート電極層はチャネル長方向において前記ウェル拡張率の2倍以下であることを特徴とする半導体装置の製造方法。

(6) 前記不純物導入用のマスクパターンが前記MOSトランジスタのチャネル領域上に平行に配置されていることを特徴とする請求項4または5に記載の半導体装置の製造方法。

(7) 前記不純物導入用のマスクパターンが複数個前記MOSトランジスタのチャネル領域上に配置されていることを特徴とする請求項4または5に記載の半導体装置の製造方法。

(8) 前記ウエル層は、前記MOSトランジスタのソース、ドレイン層と同一電位であることを特徴とする請求項4または5に記載の半導体装置の製造方法。

(9) 前記ウエル層は、前記MOSトランジスタのソース、ドレイン層と逆電位であることを特徴とする請求項4または5に記載の半導体装置

の製造方法。

3. 製作の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は半導体装置及びその製造方法に関する、特に相異なる任意の閾値電圧を有するMOS型トランジスタを一度に得ようとするときに使用される。

(従来の技術)

従来MOSトランジスタ特にD型(デプレッショントラニジスト)の閾値は、第6図に示す様な工程におけるチャネルイオン注入工程での不純物導入量により決定されていた。第6図(a)は、例えば、P型半導体基板1上に、ゲート絶縁膜2を例えれば 200 \AA 形成する工程、第6図(b)は、MOSトランジスタの閾値を制御するためのチャネルイオン注入工程、ここでは、例えばデプレッションタイプのトランジスタを形成するために、リンイオン3を 7.0 Kev 程度で $1\times 10^{12}\text{ cm}^{-2}$ 程度注入する工程、そして第6図(c)は、ゲー

ト電極4、ソース・ドレイン5の拡散層を形成する工程である。この時、このトランジスタの閾値は、ゲート絶縁材料をN型多結晶シリコンとするとき、およそ -2 V 程度となる。ここでRは拡散率、TはAを意味である。

(発明が解決しようとする課題)

ところが従来例において、複数種の閾値を有するトランジスタを形成する時には、それぞれの閾値に設定するためには、例えば別のイオンを異なる量、異なる場所に導入する必要があった。つまり必要な閾値の数だけの等真性前工程が必要であり、工程を非常に多くする必要があった。

本発明は、上記問題に並みでなされたもので、従来に比較しない工程で、複数種の閾値が得られるMOSトランジスタとその製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段と作用)

本発明は、(I) MOSトランジスタのチャネル領域付近に、閾値電圧調整用の断面半円状のウ

エル層が形成されたことを特徴とする半導体装置である。また本発明は、(II) マスクパターン幅がウエル層の拡散率の2倍以下となるようなマスクにより、半導体基板のMOSトランジスタのチャネル部となる付近に不純物を導入して前記ウエル層を形成することを得特徴とする半導体装置の製造方法である。

即ち本発明は、ウエルの拡散率の2倍以下の不純物導入のマスクパターン幅により半導体基板中に形成されたウエルと、該ウエル領域をMOSトランジスタのチャネル領域とするように形成されたゲート絶縁とを有することを得特徴とするMOSトランジスタとすることである。上記のように形成されたウエルは、断面半円状になり、基板表面の濃度のコントロールが容易で(従来のウエルは、本発明より断大に広いマスクパターン幅の箇所から不純物導入が行われていたから、表面濃度が平坦化され、閾値コントロールが難しかった)、マスクパターン幅が小のため、その難易に応じて、同じプロセスで相異なる閾値のMOSトランジス

タが形成できるようになる。

(実施例)

本発明の実施例を第1図により説明する。

まず第1図(a)の如く $3\times 10^{12}\text{ cm}^{-2}$ 程度の不純物濃度を有するP型基板21上に第一の熱酸化膜22を形成する。次に第1図(b)の如くデプレッションタイプのトランジスタを形成する領域に開口幅の異なるレジストパターンを有したマスクのリスト23を形成する。次にリンイオンをドーズ量 $7\times 10^{12}\text{ cm}^{-2}$ 程度、加速エネルギー 7.0 KeV で基板中注入する。その後、リンを被覆するために 1150°C で4時間程度熱処理する。その後、第1図(c)の如き例えば 8.0 \mu m と広い幅のレジストパターン23でリンにより形成された酸素層24の厚さ X_{12} は、 3 \mu m 程度になる。そして表面のリン濃度は、 $3\times 10^{12}\text{ cm}^{-2}$ 程度になる。ところが 1 \mu m の幅のせまいレジストパターン23のところ X_{25} は、 1 \mu m となり、表面濃度は $5\times 10^{12}\text{ cm}^{-2}$ 程度とな

その後、第1図(4)の如く第2の熱酸化膜22をエッティング除去した後、ゲート絶縁膜26を約200Å程度成長する。その後上記レジストパターン23₁、23₂に対応するところに、それぞれMOSトランジスタのゲート電極27を形成する。次にソース、ドレイン絶縁膜28を形成する。その後基板上に形成した絶縁膜29にAl配線30を形成して、MOSトランジスタができる。

第1図のウエル24は、その絶縁厚さX₁の2倍より大幅に大きいレジスト(マスク)パターン幅23₁より形成したものであり、従来のウエルに相当する。ウエル25は、その絶縁厚さX₁の2倍以下のレジストパターン幅23₂より形成したものであり、形としては断面半円状であり、開口コントロールに連している。またこの場合ウエル25上のゲート電極のチャネル長方向の長さもウエル絶縁厚さの2倍以下となっている。

第2図は、上記実施例の場合におけるレジスト

開口パターン幅とMOSトランジスタの開口の関係を示す。この図からあきらかな通り、絶縁厚さの2倍程度以下の開口パターンにすると、表面電荷密度が下がり、かつ比誘電率が高くなる。つまり開口パターンを絶縁厚さの3倍以下と小さくすると、本実施例の様なNチャネルMOSトランジスタの場合には、実用に供するほどに表面電荷密度変化で開口が正方形に変化でき、幅がゼロになると、P型基板の不純物濃度と同じになる。

第3図(a)は本発明の他の実施例のパターン平面図、同図(b)は同A-A'線に沿う断面図である。これは、不純物導入用のマスクパターン23₂が複数個前記MOSトランジスタのチャネル長方向上に配置される場合の例である。この場合は各マスクパターン23₂のそれぞれが、23₂の絶縁厚さの1/2以下である。つまり例えばMOSトランジスタのチャネル領域に、複数個の円形レジストパターン23₂を第3図(a)に示す様に形成し、その部分にリンを注入し、その後の焼成により表面のリン濃度を適当に設定し、

その結果、MOSトランジスタの開口が設定できる。

また他の幅のせまい絶縁パターンをチャネル方向に対して直角に配置してもかまわない。第4図(a)はその例のパターン平面図、同図(b)は同B-B'線に沿う断面図である。これは、前記不純物導入用のマスクパターン23₂が例えば2枚前記MOSトランジスタのチャネル幅方向に平行に配置されていることを特徴とする。

この場合、絶縁厚さの1/2以下という条件は、マスクパターン23₂の幅についてであって、長手方向については上記条件は当てはまらない。よい。

第5図は本発明の更に異なる実施例である。即ち、開口を第1図の場合よりも少し上げたい場合は第5図のようなウエル25とすればよい。

なお、本発明は実施例のみに限られず、種々の応用が可能である。例えば上記では、半導体基板とは逆導電型のウエルを用いる例を説明したが、当然、同一導電型(エンハンスメント型)であつ

てもかまわない。また実施例では、ウエル形状を「半円状」としたが、これは必ずしも真正の半分という意味ではなく、ウエル24の如く下面が平坦になっておらず、ウエル25の如く円形状になっていることをいう。

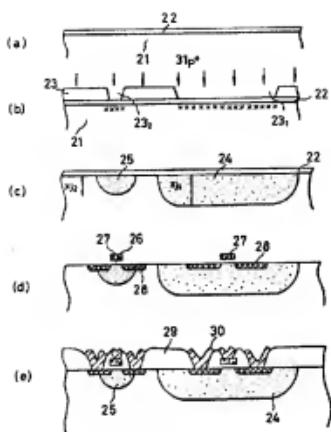
【発明の効果】

本発明によると、一回の蒸気熱処理工程により複数の開口を有するMOSトランジスタを形成できる。そのため従来の工程に比較し大幅に工性が簡便化される。

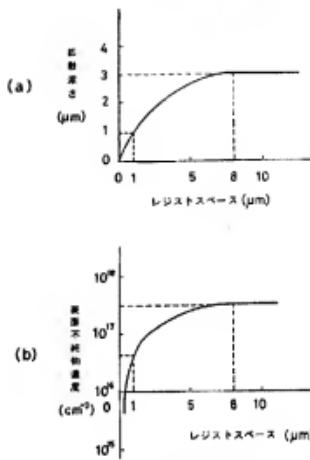
4. 図面の簡単な説明

第1図は本発明の一実施例の工性図、第2図は同工程図、第3図ないし第5図は本発明の他の実施例の説明図、第6図は従来例の工程図である。

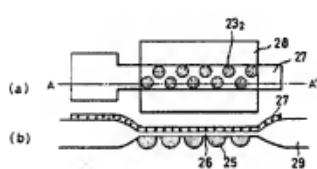
21—P型基板、23—レジスト、23₁—23₂—レジストパターン(開口)、25—Nウェル、27—ゲート電極、28—ソース、ドレイン。



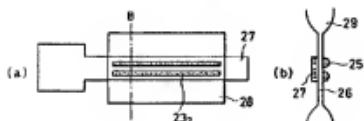
第 1 図



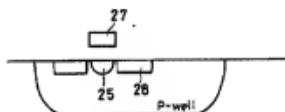
第 2 図



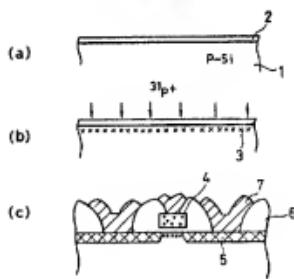
第 3 図



第 4 図



第 5 図



第 6 図